

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-010489

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

G02F 1/133

G09G . 3/36

H04N 5/66

(21)Application number : 08-159930

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 20.06.1996

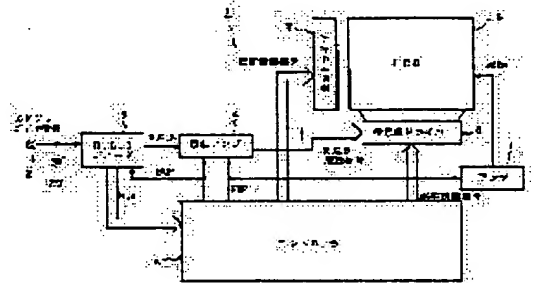
(72)Inventor : KAMIO TOMOMI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a liquid crystal display device of low power consumption.

**SOLUTION:** In a liquid crystal display device 1 which drives a liquid crystal display panel 9 which is formed by arranging display elements on each intersection of plural scan lines and a plurality of signal lines in a matrix form by a scan driver 7 and a signal-side driver 8 to display video signals, a controller 5 suspends the operations of an inverting amplifier 4, an amplifier 6, and the scan-side driver 7 and the signal-side driver 8 during the vertical intervals of video signals.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

This Page Blank (uspto)

Japanese Publication of Unexamined Patent Application  
No. 10489/1998 (Tokukaihei 10-10489)

A. Relevance of the Above-Identified Document

This document has relevance to claim 27 of the present application.

B. Translation of the Relevant Passages of the Document

[CLAIMS]

[CLAIM 1]

A liquid crystal display device for displaying a video signal by driving a liquid crystal display panel which includes a plurality of scanning lines and a plurality of signal lines and display elements arranged at intersections between the scanning lines and the signal lines, characterized by comprising:

control means which controls so as to stop an operation of each section of the liquid crystal display device including the scanning side driving means and the signal side driving means in a non-display period of a video signal.

[CLAIM 2]

The liquid crystal display device according to claim 1, characterized in that said control means includes:

a signal generating circuit for outputting a disable signal for instructing a stoppage of an operation of respective sections of the liquid crystal display device in the non-display period of the video signal; and

a masking circuit for outputting an "L" level signal to the respective sections of the liquid crystal display device as respective control signals for driving an operation of each section of the liquid crystal display device in the non-display period of the video signal based on the disable signal to be output from the signal generation means.

...

[0007]

[PROBLEMS TO BE SOLVED BY THE PRESENT INVENTION]

According to a conventional liquid crystal display device, even in a vertical flyback period of a video signal, an operation of each section of the liquid crystal display device is performed successively. Therefore, in this vertical flyback period, power is consumed for the operation irrelevant to a display of an image, thereby presenting the

problem of an increase in power consumption.

[0008]

Particularly, in the portable terminal-type liquid crystal display device, it is arranged such that power is supplied to each section using batteries. Thus, an overall power consumption is increased, and the life of the battery is shortened.

[0009]

It is therefor an object of the present invention to provide a liquid crystal display device of low power consumption.

[0010]

[MEANS TO SOLVE THE PROBLEM]

In order to attain the above object, the liquid crystal display panel according to claim 1, for displaying a video signal by driving a liquid crystal display panel which includes a plurality of scanning lines and a plurality of signal lines and display elements arranged at intersections between the scanning lines and the signal lines, is characterized by comprising:

control means which controls so as to stop an operation of each section of the liquid crystal display device including the scanning side driving means and the signal side driving means in a non-

display period of a video signal.

[0011]

According to the foregoing claim 1 invention, the liquid crystal display panel, which includes a plurality of scanning lines and a plurality of signal lines and display elements arranged at intersections between the scanning lines and the signal lines, is driven by scanning side drive means and signal side drive means, and control means controls so as to stop an operation of each section of the liquid crystal display device including the scanning side driving means and the signal side driving means in a non-display period of the video signal.

[0012]

According to the foregoing structure, the required power consumption of the liquid crystal display device can be reduced, and it is therefore possible to provide a liquid crystal display device of low power consumption.

...

[0061]

Therefore, as illustrated in Figure 6, in field 1, it is 28 H period, that is a vertical flyback period. As illustrated in Figure 7, in field 2, it is 29 H period, i.e., the vertical flyback period, and it

is therefore possible to stop the operations of an inverting amplifier 4, an amplifier 6, a scanning side driver 7, and a signal-side driver 8.

[0062]

Here, in the vertical flyback period, the operations of a controller 5 and an RGB decoder 3 cannot be stopped. Therefore, in the case where the power consumption required for the controller 5 and the RGB decoder 3 is around 20 % of the total power consumption of the liquid crystal display panel 1, in the vertical flyback period, it is possible to reduce the overall power consumption of the liquid crystal display device 1 by around 80 %.

[0063]

As a result, the overall power consumption of the liquid crystal display device 1 as a whole can be derived as follows:

$$\left[ \frac{(28H \text{ (vertical flyback period in the first field)} + 29H \text{ (second field of the vertical flyback period)})}{525H \text{ (entire period)}} \times 0.2 \text{ (power consumption ratio of the entire liquid crystal display device required in the vertical flyback period)} \right] + \left[ \frac{525H - (28H + 29H)}{525H} \right] = 91 \%$$
 This indicates a power consumption of around 9 %. The foregoing example has been discussed through the case of 234

scanning lines.

[0064]

In the case of adopting 220 scanning lines, the overall power consumption of the liquid crystal display device 1 as a whole can be derived as follows:

$$\left[ \frac{85H \text{ (vertical flyback period of 1 frame)}}{525H \text{ (entire scanning period)}} \times 0.2 \text{ (power consumption ratio of the entire liquid crystal display device required in the vertical flyback period)} \right] + \left[ \frac{525H - 85H}{525H} \right] = 87 \%$$
 This indicates a power consumption of around 13 %.

[0065]

As described, according to the present embodiment, the masking control circuit in the controller sets a vertical control signal, a horizontal control signal and a frame inverting signal to "L" level based on the masking pulse MP to be supplied from the vertical decoder in the vertical flyback period of the video signal. It is therefore possible to reduce the power consumption of the liquid crystal display device, and a liquid crystal display device of low power consumption can be realized. Particularly, in the liquid crystal display device of portable terminal type for supplying power to the inside using battery, the resulting reduction in power



consumption enables a longer life of battery, and thus  
it is possible to use for a longer period of time.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-10489

(43) 公開日 平成10年(1998) 1月16日

(61) Int.Cl. <sup>7</sup>	識別記号	庁内整理番号	P I	特許表示箇所
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
G 0 8 G 3/38			G 0 8 G 3/38	
H 0 4 N 5/68	1 0 2		H 0 4 N 5/68	1 0 2 B

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願平8-15930

(71) 出願人 000001443  
カシオ計算機株式会社

(22) 公開日 平成8年(1996) 6月20日

(72) 発明者 神尾 知巳  
東京都新宿区西新宿2丁目6番1号  
カシオ計算機株式会社人王子研究所内

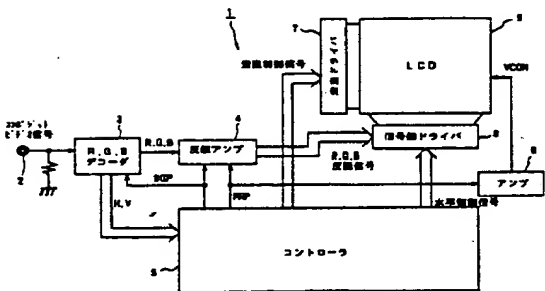
(74) 代理人 弁護士 荒船 博司 (特1名)

(54) 発明の名称 液晶表示装置

(57) 【要約】

【課題】 低消費電力の液晶表示装置を提供することを目的とする。

【解決手段】 複数の走査ラインと複数の信号ラインの各交点に表示素子がマトリクス状に配列されて成る液晶表示パネル9を、走査ドライバ7及び信号側ドライバ8にて駆動して、映像信号を表示させる液晶表示装置1において、コントローラ5は、映像信号の垂直同期期間内には、反転アンプ4、アンプ6、走査側ドライバ7、信号側ドライバ8の動作を停止させる。



【特許請求の範囲】

【請求項1】 複数の走査ラインと複数の信号ラインの各交点に表示素子がマトリクス状に配列されて成る液晶表示パネルを、走査側駆動手段及び信号側駆動手段により駆動して、映像信号を表示させる液晶表示装置において、

前記映像信号の非表示期間内に、前記走査側駆動手段及び信号側駆動手段を含む前記液晶表示装置の各部の動作を停止させるべく制御する制御手段を備えたことを特徴とする液晶表示装置。

【請求項2】 前記制御手段は、

前記映像信号の非表示期間内における前記液晶表示装置の各部の動作の停止を指示するデイスエーブル信号を出力する信号発生回路と、

前記信号発生回路から出力されるデイスエーブル信号に基づいて、前記映像信号の非表示期間内には、前記液晶表示装置の各部の動作を駆動する各種制御信号として「L」レベルの信号を前記液晶表示装置の各部に出力するデスキング回路と、

を含むことを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に関する、特に、消費電力を低減した液晶表示装置に関する。

【0002】

【従来の技術】 近時、液晶表示装置は、薄型軽量や、低電圧駆動などの利点があるため、TV、パーソナルコンピュータや、携帯端末等のデイスプレイとして広く利用されている。

【0003】 また、液晶表示装置、例えば、液晶テレビ装置は、一般に走査ラインと信号ラインが基板上にマトリクス状に形成され、走査ラインに走査信号を信号ラインに表示信号を印加するいわゆるマトリクス駆動によりテレビ画像を表示している。

【0004】 通常、液晶テレビでは、1走査期間 (1 H) に1本の走査ラインを選択し、比較的高い走査電圧を印加すると同時に、この走査ラインに対応する全信号ラインに対して、各々映像信号に応じた比較的低い駆動信号電圧を印加することにより、選択された走査ライン上の各画素の表示を行う。

【0005】 このような従来の液晶テレビ装置では、NTSC (National Television System Committee) 方式のテレビ画像を表示する場合、1フィールドの走査線の本数は、525本を2で割った262.5本であるが、実際の走査線本数は、垂直同期消去期間の本数である約40本を差し引いたもので、約220本であり、1フィールドで、1フィールド262.5本のうち、垂直同期期間を除く、有効部分220本を表示することになる。

(2)

【0006】 そして、従来の液晶テレビでは、一般に、第1フィールドと第2フィールドを互いにインターレース走査せずに、毎フィールド同じ走査ラインを選択して駆動している。

【0007】

【発明が解決しようとする課題】 しかしながら、従来の液晶表示装置にあっては、映像信号の垂直同期期間においても、液晶表示装置の各部の動作を継続して行っていたため、この垂直同期期間中は、映像の表示に寄与しない動作により電力を消費することになり、消費電力が大きい動作という問題があった。

【0008】 特に、携帯用端末の液晶表示装置においては、電池により各部に電力を供給する構成であるため、消費電力が大となって電池寿命が短くなり使用可能時間が少なくなるという問題がある。

【0009】 本発明は、上記課題に鑑みてなされたものであり、低消費電力の液晶表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】 請求項1記載の発明は、複数の走査ラインと複数の信号ラインの各交点に表示素子がマトリクス状に配列されて成る液晶表示パネルを、走査側駆動手段及び信号側駆動手段により駆動して、映像信号を表示させる液晶表示装置において、前記映像信号の非表示期間内には、前記走査側駆動手段及び信号側駆動手段を含む前記液晶表示装置の各部の動作を停止させるべく制御する制御手段を備えたことにより上記課題を解決する。

【0011】 すなわち、請求項1記載の発明によれば、複数の走査ラインと複数の信号ラインの各交点に表示素子がマトリクス状に配列されて成る液晶表示パネルを、走査側駆動手段及び信号側駆動手段により駆動して、映像信号を表示させる液晶表示装置において、制御手段は、映像信号の非表示期間内には、走査側駆動手段及び信号側駆動手段を含む液晶表示装置の各部の動作を停止させるべく制御する。

【0012】 従って、液晶表示装置の消費電力を低減させることができ、低消費電力の液晶表示装置を提供することが可能となる。

【0013】 また、この場合、請求項2記載の発明の如く、前記制御手段は、前記映像信号の非表示期間内における前記液晶表示装置の各部の動作の停止を指示するデイスエーブル信号を出力する信号発生回路と、前記信号発生回路から出力されるデイスエーブル信号に基づいて、前記映像信号の非表示期間内には、前記液晶表示装置の各部の動作を駆動する各種制御信号として「L」レベルの信号を前記液晶表示装置の各部に出力するデスキング回路と、を含むことが有効である。

【0014】 即ち、請求項2記載の発明によれば、請求項1記載の発明において、制御手段は、信号発生手段と

マスキング手段とを含み、当該映像発生手段は前記映像信号の非表示期間内における前記液晶表示装置の各部の動作の停止を指示するディスプレイ回路は出力される当該マスキング手段は前記映像発生手段から出力されるディスプレイ回路に基づいて、前記映像信号の非表示期間内は、前記液晶表示装置の各部の動作を駆動する各種制御信号として「L」レベルの信号を前記液晶表示装置の各部に出力する。

【0015】従って、簡単な回路構成により、液晶表示装置の消費電力を低減させることができ、低消費電力の液晶表示装置を提供することが可能となる。

【0016】

【発明の実施の形態】以下、図面を参照して、本発明を適用した好適な実施の形態を説明する。図1～図7は、本実施の形態に係る液晶表示装置を説明するための図である。

【0017】図1は、本発明を適用した液晶表示装置1の回路構成を示すブロック図である。図2は、図1のコントローラの具体的な回路構成例を示す図である。図3～図7は、液晶表示装置1のタイミングチャートである。【0018】図1に示す液晶表示装置1は、RGBデコード3、反転ドライバ8、コントローラ5、アンプ6、走査ドライバ7、信号側ドライバ8、及び液晶パネル(LCD)9等から構成されている。

【0019】先ず、図1及び図2に示される液晶表示装置1の各部から出力される各種制御信号の機能を説明する。FRPはRGBの各色信号や共通電圧VCOMの極性を反転させるための反転信号であり(図1、図2参照)、DCKは信号側ドライバ8内のシフトレジスタをシフトさせるためのドットクロック(シフトクロック)であり(図2参照)、SRTは信号側ドライバ8内のシフトレジスタのスタートパルスであり(図2参照)、Cはレジスタのスタートパルスであり(図2参照)、OEは信号側ドライバ8内のプリチャージ(若しくはディスタチャージ)のタイミング信号であり(図2参照)、OEは信号側ドライバ8内のスタートパルスであり(図2参照)、S/H出力のアウトプットパルスであり(図2参照)、GRESは走査ドライバ7内のゲート出力をリセットするゲート出力セット信号であり(図2参照)、GPCは走査ドライバ7内のゲートパルス及びシフトレジスタのシフトクロックであり(図2参照)、BGPIはRGBデコード3によるコンポジット映像信号からのバーンスト信号の抽出及び反転アンプ4によるペダスタックラックのためのタイミング信号であり(図2参照)、そして、マスキングパルスMPは前記映像信号の非表示期間内における前記液晶表示装置の各部の動作の停止を指示する信号である。

【0020】次に、液晶表示装置1の各部の構成を説明する。先ず、映像入力端子2から入力されるNTSC方式のコンポジット映像信号CsyはRGBデコード3に出力

される。

【0021】RGBデコード3は、入力されたコンポジット映像信号に対して同期分離抽出やクロマ処理等の処理を施すことによりR、G、Bの各色信号と水平同期信号H及び垂直同期信号Vよりなる同期信号とをデコード出力するものであり、得られた各同期信号H、Vをコントローラ5へ、各色信号R、G、Bを反転アンプ4へ出力する。

【0022】反転アンプ4は、RGBデコード3から供給される各色信号R、G、Bをコントローラ5から供給される反転信号FRPに応じて走査ライン単位及びフィールド単位で適宜極性を反転させて得られる反転信号R、G、Bを上記信号側ドライバ8へ出力する。

【0023】コントローラ5は、その詳細な構成は後述するが、液晶表示装置1の各部を制御し、具体的に、RGBデコード3から供給される同期信号H、Vに基づいて、液晶表示パネル(LCD)9の信号ラインを駆動する信号側ドライバ8に水平同期信号(SRT、OE、CLR、DCK)を、同走査ラインを駆動する走査ドライバ7に垂直同期信号(GSRT、GRES、GPC、K)を、そして上記反転アンプ4及びアンプ6に反転信号FRPをそれぞれ出力する。その際、コントローラ5は、垂直デコード5.8から出力されるマスキングパルスMPに基づいて、上記水平同期信号、垂直同期信号、及びフレーム反転信号FRPを適宜停止制御する。また、コントローラ5は、BGP信号を生成して、RGBデコード3及び反転アンプ4に出力する。

【0024】アンプ6は、コントローラ5からの反転信号FRPによって走査ライン単位及びフィールド単位で適宜極性を反転させた共通電圧(共通電圧)VCOMを生成して液晶表示パネル(LCD)9の共通電圧に印加する。

【0025】走査ドライバ7は、シフトレジスタ及びゲート回路等からなり、コントローラ5から供給される上記垂直同期信号に基づいて、ゲート電圧(走査電圧)V<sub>n</sub>(n=1～234)に印加して選択駆動する。

【0026】信号側ドライバ8は、シフトレジスタ、サンプホールド回路、レベルシフト回路、及びゲート回路等からなり、反転アンプ4から供給される反転信号R、G、B及びコントローラ5から供給される上記水平同期信号に基づいて、ドレイン電圧(信号電圧)VDを生成して、液晶表示パネル9の信号ラインY<sub>m</sub>(m=1～280)に順次印加する。

【0027】液晶表示パネル9は、アクティブマトリックス型が採用されており、図示しない基板上に234本の走査ライン(ゲートライン)X<sub>n</sub>と280本の信号ライン(ドレインライン)Y<sub>m</sub>がマトリックス状に配置されており、そして、走査ラインX<sub>n</sub>と信号ラインY<sub>m</sub>の各交点にはnチャンネルMOS型のTFT(thin film

transistor)素子からなるスイッチング素子と、そのスイッチング素子のソース側に画素電極が接続されて液晶容量が構成された画素を有している。各FT素子(画素素子)は、そのゲートがそれぞれ対応する走査ライン(ゲートライン)X<sub>n</sub>に接続されており、そのドレインがそれぞれ対応する信号ライン(ドレインライン)Y<sub>m</sub>に接続されている。また、各FT素子は、そのソースに液晶容量がそれぞれ接続されており、液晶容量を構成する他方の電極には、共通電圧(共通電圧)VCOMの供給されるコンタクトライン(図示せず)が接続されている。

【0028】そして、液晶表示パネル9においては、上述の走査ドライバ7及び信号側ドライバ8によって順次走査ラインX<sub>n</sub>及び信号ラインY<sub>m</sub>が選択駆動されて、順次選択された画素毎の液晶容量等に映像信号に対応するドレイン電圧(信号電圧)VDが印加され、電荷が保持されることにより、映像信号が表示される。

【0029】図2は上記コントローラ5の詳細な回路構成を例示するもので、コントローラ5は、PLL51、VCO(発振回路)52、マスキング制御回路53、水平デコード54、水平アンプ55、ドットCK発生回路56、同期制御回路57、垂直デコード58、垂直アンプ59、及びFRP発生回路60等から構成されている。先ず、RGBデコード3から出力される水平同期信号H及び垂直同期信号Vは、夫々PLL回路51及び同期制御回路57に出力される。

【0030】PLL回路51は、水平デコード54から供給される走査パルスSPH(図5(J)参照)とRGBデコード3から供給される上記水平同期信号Hとの位相が一致するように、発振制御信号の位相を制御すべく、走査パルスSPHと水平同期信号Hとの位相差信号PD(図5(K)参照)をVCO52に出力する。VCO52は発振制御信号の位相に反応する周波数で発振し、基本クロックCKを水平カウンタ55及びドットクロック発生回路56へ出力する。

【0031】水平デコード54は、入力される映像信号の1水平走査期間内におけるドット位置をカウントする水平カウンタ55のカウント値に基づいて、スタート信号SRT、出力パルスOE、及びクリア信号CLRを水平同期信号の一部として、また、ゲート出力パルス信号GOE及びゲートパルス信号GPCを垂直同期信号の一部としてマスキング制御回路53に出力する。また、水平デコード54は、走査ラインクロックとなる内部水平同期信号(内部H)を垂直カウンタ59及びFRP発生回路60に出力し、また、当該内部水平同期信号(内部H)をリセット信号Rとして上記水平カウンタ55に出力する。

【0032】ドットクロック発生回路56は、VCO52から出力される基本クロックCKを適宜分周してドットクロックDCKを生成し、マスキング制御回路53へ

水平同期信号の一部として出力する。

【0033】同期制御回路57は、上記RGBデコード3から供給される垂直同期信号Vと垂直デコード58からの検出信号を同期化して、内部垂直同期信号(内部V)を生成して、FRP発生回路60へ出力すると共に、当該内部垂直同期信号をリセット信号として上記垂直カウンタ59に出力する。

【0034】垂直デコード58は、上記水平デコード54の出力する内部水平同期信号(内部H)によって映像信号中の1フィールド内における走査線位置をカウントする垂直カウンタ59のカウント値に基づいて、カウンタ値が262.5の際に上記同期制御回路57へ検出信号を送出する一方、ゲートスタート信号GSRTを上記垂直同期信号の一部として直接上記走査側ドライバ7へ出力する。また、垂直デコード58は、マスキング制御回路53に、映像信号の垂直走査期間内における前記液晶表示装置の各部の動作の停止を指示するマスキングパルスMPを出力する。

【0035】FRP発生回路60は、水平デコード54から出力される内部水平同期信号(内部H)及び同期制御回路22からの内部垂直同期信号(内部V)に基づいて、液晶表示パネル9の走査ライン単位及びフィールド単位で電極にかかる電圧の極性を反転させるための反転信号FRPを生成して、マスキング制御回路53に出力する。

【0036】マスキング制御回路53は、垂直デコード58から出力されるマスキングパルスMPPに基づいて、水平デコード56から供給されるスタート信号SRT、出力パルスOE及びクリア信号CLR、並びにドットクロックCK発生回路56から出力されるドットクロックDCKの信号側ドライバ8への出力を適宜停止制御する。また、マスキング制御回路53は、上記マスキングパルスMPPに基づいて、上記水平デコード54から供給されるゲート出力パルス信号GOE及びゲートパルス信号GPCの走査ドライバ7への出力を適宜停止制御する。更に、マスキング制御回路53は、上記マスキングパルスMPPに基づいて、FRP発生回路60から出力される反転信号FRPの反転アンプ4及びアンプ6への出力を適宜停止制御する。

【0037】続いて、上記構成の液晶表示装置の動作を図3～図7を参照して説明する。図3及び図4は、映像入力端子2に入力されるNTSC方式の映像信号のフィールド1及びフィールド2における表示駆動のための主として垂直タイミングの各信号波形を示すものである。図5は、映像入力端子2に入力されるNTSC方式の映像信号の表示駆動のための主として水平タイミングの各信号波形を示すものである。

【0038】先ず、映像入力端子2から入力された、図3(A)及び図4(A)の如き、NTSC方式のコンポジット映像信号CsyがRGBデコード3へ出力される。

(5)

RGBデコーダ3は、入力されたコンポジット映像信号Cvに対して同期分離抽出やクロマ処理等の処理を施すことによりR、G、Bの原色信号と水平同期信号H（図5（H）参照）及び垂直同期信号Vよりなる同期信号とを分離し、当該分離した各同期信号H、Vはコントローラ5へ、原色信号R、G、Bが反転アンプ4へそれぞれ出力する。

【0039】反転アンプ4は、RGBデコーダ3から供給される原色信号R、G、Bをコントローラ5から出力される図3（C）～図5（C）の如き、反転信号FRRPに送って走査ライン単位及びフィールド単位で適宜特性を反転して得られる反転信号R、G、Bを上記信号側ドライバ8へ出力する。

【0040】アンプ6は、コントローラ5から供給される反転信号FRRPにより走査ライン単位及びフィールド単位で適宜特性が反転されたコネク（共通）電圧VCOMを発生して液晶表示パネル9の共通電極へ供給する。

【0041】コントローラ5では、液晶表示装置1全体の消費電力を低減するために、コントローラ5内のアキング制御回路53は、垂直デコーダ58から出力されるアキングバースMPPに基づいて、水平制御信号（STR、OE、CLR、DCK）の信号側ドライバ8への出力、垂直制御信号（GSRT、GRES、GPCK）の走査ドライバ7への出力、及び、反転信号FRRPの反転アンプ4及びアンプ6への出力を適宜停止制御する。

【0042】以下、コントローラ5内のアキング制御回路53を動作させない場合と、動作させた場合との比較において、コントローラ5の具体的な動作及び液晶表示装置1の消費電力を説明する。

【0043】まず、コントローラ5内のアキング制御回路53を動作させない場合の動作を図3～図5を参照して説明する。

【0044】垂直カウンタ59は、水平デコーダ54の出力する内部水平同期信号H（ラインCLK）により映像信号中の1フィールド内における走査位置をカウントして、図3（B）及び図4（B）の如きカウンタ値COUNTを垂直デコーダ58に出力する。

【0045】垂直デコーダ58は、垂直カウンタ59のカウント値に送って、図3～図5（D）に示す如く、例えば、第24水平走査期間（24H）に、ゲートスタート信号GSRTを走査側ドライバ7に出力する。また、水平デコーダ54は、水平カウンタ53のカウント値に送って、水平走査期間毎に、図3（E）～図4（E）の如きゲートバースクロックGPCK、及び図3（F）～図5（F）の如きゲート出力セレクト信号GRESを走査ドライバ7に出力する。

【0046】また、水平デコーダ54は、水平カウンタ53のカウント値に送って、各水平走査期間が開始すると、図3（G）～図5（G）の如きスタート信号ST、及び図3（H）～図5（H）の如きクリア信号CR

Lを、また、所定期間経過後、図3（I）～図5（I）の如き出力イネーブル信号OEを信号側ドライバ8に出力する。

【0047】フットロッキング発生回路56は、VCO52から出力される基準クロックCを適宜分周して、図3（J）及び図4（J）の如きフットロッキングDCKを信号側ドライバ8に出力する。

【0048】また、FRRP発生回路60は、水平デコーダ54から出力される内部水平同期信号及び同期制御回路22からの内部垂直同期信号に基づいて、図3（C）～図5（C）の如き反転信号FRRPを反転アンプ4及びアンプ6に出力する。

【0049】走査ドライバ7は、入力するゲートスタート信号GSRT、ゲートバースクロックGPCK及びゲートセレクト信号GRESから成る垂直制御信号に基づいて、走査ラインX1～X234に、水平走査期間毎に、映像信号の24H～257H間、ゲート電圧VDT（走査電圧）VDを印加する。そして、ゲート電圧VDが印加された走査ラインX1～X234に供給されたTFはオンス、導通状態となる。

【0050】信号側ドライバ8では、各水平走査期間の先頭タイミングで、図3（H）～図5（H）に示す如く、クリア信号CLRが「L」レベルとなるので、ゲート電圧VDによりオンスしたTFと信号ラインY1～Y280を介して液晶パネル9に供給された電荷を放電する。

【0051】続いて、図3（I）～図5（I）に示す如く、出力イネーブル信号OEが「H」レベルとなり、信号側ドライバ8は、前の水平走査期間にサンプリングされたビデオ信号に応じたライン電圧（信号電圧）VDを各信号ラインY1～Y280に印加する。各水平走査期間が終了すると、ゲート電圧VDがオンスして、TFがオンスし、両素電極に印加された電圧は液晶パネル9に保持されて映像信号が表示され、次のフレームまで保持される。尚、反転アンプ4によりその断片が水平走査期間毎に反転し、これに応じて、共通電圧VCOMの値も水平走査期間毎に反転する。

【0052】1垂直走査期間が経過すると、垂直カウンタ59のカウント値が26.5となり、これに応じて、垂直デコーダ58は検出信号を同期制御回路57に出力する。この信号は、同期制御回路57により垂直同期信号Vに同期化され、FRRP回路60及び垂直カウンタ59のリセット端子Rに供給される。この結果、垂直カウンタ59は新たなカウント動作を開始し、FRRP発生回路60は前のフィールドとは逆相のFRRP信号を出力する。以後、同様の動作を繰り返して、次のフィールドの映像信号を液晶表示パネル9に表示する。

【0053】以上の動作により、24H～257Hまでの期間の映像信号がフィールド毎に液晶パネル9に表示される。他方、映像信号の表示が開始されてから終了す

(6)

るまでの垂直帰線期間である258H～233Hの期間は、図3及び図4に示す如く、反転アンプ4、アンプ6、走査ドライバ7、及び信号側ドライバ8に、コントローラ5からフィールド反転信号FRRP、ゲートスタート信号GSRT、ゲートバースクロックGPCK、ゲートセレクト信号GRES、スタート信号GSRT、クリア信号CLR、出力イネーブル信号OE、及びフットロッキングDCKが出力され、上記各部（反転アンプ4、アンプ6、走査ドライバ7、及び信号側ドライバ8）が動作し、この垂直帰線期間中は、映像信号の表示に寄与しない動作により電力が消費されることになる。

【0054】次に、アキング制御回路53を動作させた場合の動作を図6及び図7を参照して説明する。図6及び図7は、アキング制御回路53を動作させた場合において、映像入力端子2に入力されるNTSC方式の映像信号のフィールド1及びフィールド2における表示動作の主な主として、垂直タイミングの各信号波形を示すものである。アキング制御回路53を動作させる場における他の回路の動作は、上記したアキング制御回路53を動作させない場合の動作とは同様であり、異なる動作は、垂直デコーダ58がアキングバースMPPをアキング制御回路53に出力する点である。

【0055】垂直デコーダ58は、図6（B）及び図7（B）の如き垂直カウンタ59のカウント値に送って、図6（D）及び図7（D）に示す如く、例えば、第24水平走査期間（24H）に、ゲートスタート信号GSRTを、アキング制御回路53に出力する。また、垂直デコーダ58は、垂直カウンタ59のカウント値に基づいて、映像信号の垂直帰線期間である258H～233H間に「H」レベルとなる、図6（K）及び図7（K）の如きアキングバースMPPをアキング制御回路53に出力する。

【0056】水平デコーダ54は、水平カウンタ53のカウント値に送って、水平走査期間毎に、図6（E）及び図7（E）の如きゲートバースクロックGPCK、及び図6（F）及び図7（F）の如きゲート出力セレクト信号GRESをアキング制御回路53に出力する。また、水平デコーダ54は、水平カウンタ53のカウント値に送って、各水平走査期間が開始すると、図6（G）及び図7（G）の如きスタート信号ST、及び図6（H）の如きクリア信号CLRを、また、所定期間経過後、図6（I）及び図7（I）の如き出力イネーブル信号OEをアキング制御回路53に出力する。

【0057】フットロッキング発生回路56は、VCO52から出力される基準クロックCを適宜分周して、図6（J）及び図7（J）の如きフットロッキングDCKをアキング制御回路53に出力する。

【0058】また、FRRP発生回路60は、水平デコーダ54から出力される内部水平同期信号及び同期制御回路22からの内部垂直同期信号に基づいて、図6（C）

及び図7（C）の如き反転信号FRRPをアキング制御回路53に出力する。

【0059】そして、アキング制御回路53は、垂直デコーダ58から供給される図6（K）及び図7（K）の如き、アキングバースMPPに基づいて、アキング制御回路53に供給される水平デコーダ54からのスタート信号GSRT、出力イネーブル信号OE及びクリア信号CLR及び、フットロッキングDCK発生回路56から出力されるフットロッキングDCKの信号側ドライバ8への出力、水平デコーダ53から供給されるゲート出力イネーブル信号GOE及びゲートバースクロックGPCKの走査ドライバ7への出力、並びに、FRRP発生回路60から供給されるFRRP信号の反転アンプ4、アンプ6から供給される出力を適宜停止制御する。

【0060】即ち、図6（K）及び図7（K）に示す如く、アキングバースMPPが「H」レベルとなる垂直帰線期間である258H～233Hの間、アキング制御回路53は、供給される各種制御信号（スタート信号GSRT、出力イネーブル信号OE、クリア信号CLR、フットロッキングDCK、ゲート出力イネーブル信号GOE、ゲートバースクロックGPCK、反転信号FRRP等）を「L」レベルとして、反転アンプ4、アンプ6、走査側ドライバ7、及び信号側ドライバ8の動作を停止させる。尚、図6及び図7に示されるように、アキングバースMPPに対して、1Hタイミングの遅れた信号（出力イネーブル信号OE、ゲート出力セレクト信号GRES、ゲートバースクロックGPCK、及び反転信号FRRP）については、1H遅らせる処理をする。

【0061】従って、フィールド1では、図6に示す如く、垂直帰線期間である28H間、また、フィールド2では、図7に示す如く、垂直帰線期間である29H間、反転アンプ4、アンプ6、走査側ドライバ7、及び信号側ドライバ8の動作を停止させることが可能となる。

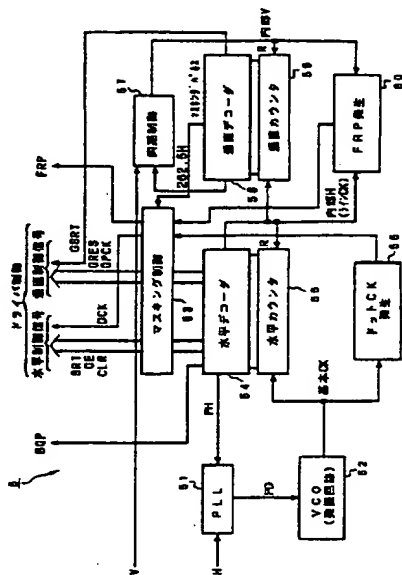
【0062】尚、上記垂直帰線期間内には、コントローラ5及びRGBデコーダ3の動作を停止することが出来ないので、これらコントローラ5及びRGBデコーダ3に要する消費電力は液晶表示装置1全体の約20%として約60%の消費電力の低減が可能となる。

【0063】その結果、液晶表示装置1全体の走査期間の消費電力は、次の如く表すことができる。即ち、 $[12.8H \text{ (第1フィールドの垂直帰線期間)} + 2.9H \text{ (第2フィールドの垂直帰線期間)}] \times 0.2 \text{ (垂直帰線期間に要する液晶表示装置全体の消費電力)} + [15.25H \text{ (2.8H} + 2.9H) / 5.25H] = 9.1$  となり、約9%の消費電力となる。以上は、走査ライン数が234本の例を示したものである。

【0064】また、走査ライン数を220本とした場合



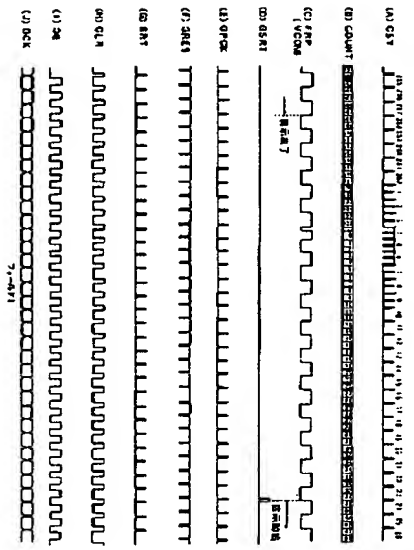
**【圖2】**



(9)

特開平10-10489

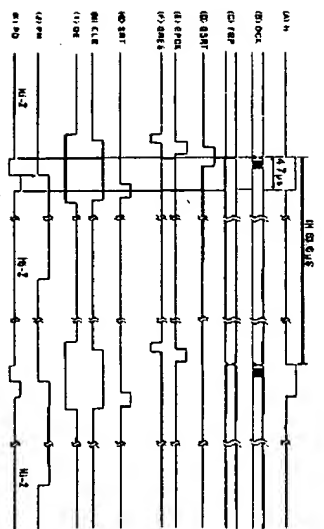
[図3]



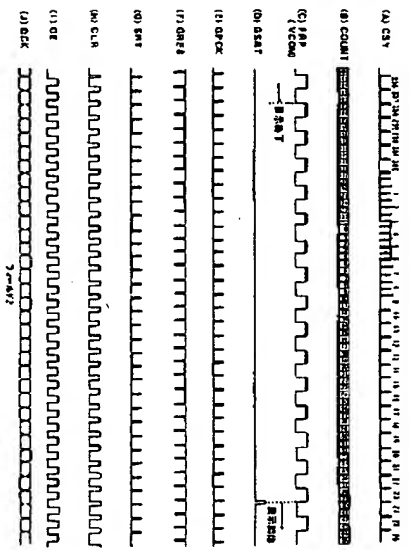
(10)

特開平10-10489

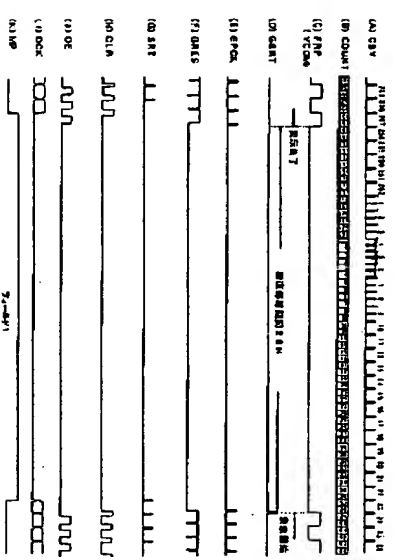
[図5]



[図4]



[図6]



(図7)

